

ФИЗИКО-МАТЕМАТИЧЕСКИЕ НАУКИ

Добрынин Андрей Владимирович

студент

ФГАОУ ВО «Национальный исследовательский университет

«Московский институт электронной техники»

г. Москва

ПРОБЛЕМЫ, ВОЗНИКАЮЩИЕ ПРИ ТОПОЛОГИЧЕСКОМ ПРОЕКТИРОВАНИИ И ПУТИ ИХ РЕШЕНИЯ

Аннотация: в статье рассматриваются основные технологические источники возникновения вариаций параметров при топологическом проектировании; автор освещает технологические методы, позволяющие снизить разброс параметров при топологическом проектировании.

Ключевые слова: микронные технологии, субмикронные технологии, молекулы, атомы, микросхемы, нанотрубки.

При использовании микронных и субмикронных технологий разброс параметров элементов в основном определяется усредненными характеристиками производственного процесса, поэтому совершенствование процесса производства позволяет достигать очень высоких показателей выхода годных изделий (свыше 95%). При переходе к нанометровым размерам номинальная толщина подзатворного диэлектрика соответствует шести молекулярным слоям. Очевидно, что могут иметь место и пять, и семь молекул окисла кремния. В области пространственного заряда под затвором длиной 45 нм в среднем должно находиться 60 атомов легирующей смеси, но в реальных структурах это число может отличаться в разы как в меньшую, так и в большую сторону.

Основными технологическими источниками возникновения вариаций параметров являются:

- неоднородность распределения легирующих примесей и структурных дефектов в наноразмерных объемах полупроводника; колебания толщины диэлектрических покрытий в пределах одного-двух молекулярных слоев (~ 1 нм);
- зернистая структура металлических и поликремниевых пленок;
- неравномерный характер травления и полировки материалов при планаризации пластин;
- дифракционные эффекты и отражение света от подложки при фотолитографии;
- отражение и рассеяние электронов при электронной литографии.

Существуют технологические методы, позволяющие снизить разброс параметров благодаря усовершенствованию физических структур микросхем, оборудования и производственных процессов, однако при нанометровых размерах вариации параметров всегда будут играть значительную роль и при проектировании их необходимо учитывать. Поскольку каждая технологическая операция влияет на характер статистического распределения параметров элементов, проектирование должно быть ориентировано на конкретный производственный маршрут с учетом всех используемых технологических методов уменьшения вариаций параметров элементов.

Уменьшить разброс параметров, связанный с неоднородностями распределения легирующих примесей в структурах КМОП-транзисторов, можно увеличив концентрацию примесей в областях истока и стока при снижении концентрации в подзатворной области. Однако увеличение концентрации легирующих примесей в стоке и истоке приводит к росту токов утечки «сток-исток», протекающих в подложке. Поэтому повышение концентрации должно сопровождаться ограничением токов утечки через подложку. Например, можно применить модифицированные структуры МОП-транзисторов, сформированные в тонких кремниевых слоях, которые изолированы от подложки сплошными или локальными диэлектрическими слоями. Также снизить влияние подложки можно применив FinFET-транзисторы, сформированные на рельефе кремниевой структуры.

Увеличение толщины подзатворного диэлектрика при пропорциональном увеличении его диэлектрической проницаемости позволяет снизить разброс параметров, связанный с колебанием толщины (пороговое напряжение, ток утечки «затвор-сток», максимальная величина тока открытого транзистора). В реальных структурах используется двухслойный диэлектрик. Первый слой – двуокись кремния толщиной около 1 нм, полученная термическим окислением подложки. Второй слой – смесь окислов алюминия и гафния или двуокись гафния, получаемая осаждением из газовой фазы.

С уменьшением размеров транзисторов уменьшается и число зерен поликремния в одном затворе (менее 10). Чтобы снизить неоднородность параметров транзисторов, вместо поликремния в области затвора используются соединения тугоплавких металлов (нитрид титана, силициды вольфрама и тантала). Эти соединения, осаждающиеся из газовой фазы, имеют почти аморфную структуру и выдерживают последующую термообработку. Для узких проводников вместо поликристаллического алюминия применяется сплав вольфрама и титана. Чтобы снизить сопротивление проводников, применяют многослойные структуры с проводящим слоем меди.

Создание одного слоя соединений при формировании планарной металлизации включает процессы нанесения изолирующего диэлектрика (SiO_2) и защитного слоя (Si_3N_4), анизотропного травления защитного слоя и диэлектрика, газофазного осаждения барьерного слоя нитрида титана (TiN), гальванического осаждения меди (Cu) и химико-механической полировки. Возникновение неравномерностей в наибольшей степени связано с последними двумя процессами. При гальваническом осаждении меди из-за действия, добавляемого в электролит катализатора над узкими углублениями, толщина меди будет больше, чем над плоской поверхностью. Над широкими углублениями, где обогащения электролита в процессе осаждения катализатором не происходит, такого увеличения толщины слоя меди не наблюдается. Последующий процесс химико-механической полировки должен обеспечить планарную поверхность с неоднородностями по высоте рельефа не более 100 нм, оставив проводники только в углублениях

рельефа. Однако при полировке в широких углублениях удаляется металл, который должен остаться в структуре проводников. Чтобы уменьшить этот эффект, помимо совершенствования технологии полировки, требуются специальные ограничения на взаимное расположение проводников и ширину.

Электронную литографию применяют и для формирования рисунка топологии непосредственно на полупроводниковых пластинках. При этом большая часть элементов топологии с размерами более 100 нм создается с помощью обычной фотолитографии. И только элементы минимальных размеров (затворы) формируются электронным лучом. Например, в схемах радиотехнического назначения число транзисторов с минимальными размерами сравнительно невелико и время экспозиции пластины электронным лучом составляет всего несколько минут. Благодаря уменьшению числа этапов переноса изображения уменьшается разброс параметров элементов.

Традиционный маршрут проектирования ориентирован на унификацию технических решений (параметры элементов, состав библиотек, описания блоков, состав документации и др.). Предполагается, что проекты должны легко адаптироваться к любому техпроцессу. При переходе к нанометровым технологиям разработчикам приходится отказываться от унификации проектных решений из-за множества системных ограничений, связанных с высокой степенью интеграции (108-109 элементов), а также с использованием низковольтных КМОП-транзисторов с большими токами утечки и разбросом параметров. Каждый проект следует оптимизировать под конкретный технологический маршрут с учетом характерных для этого маршрута статистических вариаций размеров элементов и их электрических параметров.

Список литературы

1. Андреев А. Арифметика создания процессов: 80 ядер лучше восьми? – Электроника: НТБ, 2007, №2, с. 82 – 89.
2. Адамов Ю.Ф., Горшкова Н.М., Матвеев О.С. Кремниевые гетероструктуры для наноразмерных транзисторов. – Нано- и микросистемная техника, 2007, №7, с.4 – 9.

3. Майская В. Транзисторы компании Intel с тройным затвором. – Электроника: НТБ, 2006, №7, с. 50 – 52.