

Воробьев Константин Сергеевич

аспирант

ФГБОУ ВО «Юго-Западный государственный университет»

г. Курск, Курская область

ИСТОРИЧЕСКИЕ АСПЕКТЫ ПОЯВЛЕНИЯ И ИСПОЛЬЗОВАНИЯ СЕТЕВЫХ ПРОЦЕССОРОВ

***Аннотация:** в данной статье описываются предпосылки возникновения сетевых процессоров. Автором приводится краткая история их появления и развития. В работе также объясняются причины широкого применения при построении современных компьютерных сетей.*

***Ключевые слова:** сетевой процессор, компьютерные сети, компьютер, сетевое оборудование, специализированная микросхема, процессор, программируемая схема, логическая интегральная схема, архитектура системы.*

Объем трафика, передаваемого по компьютерным сетям, постоянно растет. Связано это прежде всего с тем, что телекоммуникационные сети являются одной из самых динамично развивающихся областей информационных технологий. Последние технологические достижения значительно повысили скорость передачи данных в компьютерных сетях, что в свою очередь позволило ускорить доставку контента для пользователей.

Повсеместное распространение компьютерной техники в 1990-х годах привело к тому, что объем сетевого трафика увеличивался вдвое в среднем каждый год. Хотя рост мощности значительно замедлился в начале века, когда существующая малоиспользуемая сетевая инфраструктура была быстро загружена. Установлено, что в период между 2003 и 2008 годами интернет-трафик рос в среднем на 50–60% в год. Подобные темпы роста сохраняются и по сей день. Вызвано это следующими факторами:

1. Рост числа устройств, подключенных к сети. Помимо персональных компьютеров, широкое распространение получили планшетные компьютеры, мобильные телефоны и другие «интеллектуальные» устройства.

2. Увеличение количества интернет-пользователей. Если в 2012 году число регулярных пользователей составляло 2,5 млрд человек, то уже к 2015 году оно достигло 3,3 млрд.

3. Постоянный рост скорости передачи данных и развертывание крупномасштабных широкополосных телекоммуникационных сетей.

Увеличение количества пользователей компьютерных сетей и рост объема информации, передаваемой по сетевым каналам, значительно увеличили требования к пропускной способности оборудования. Каждый поступающий в сеть пакет требует определенной обработки перед отправкой на линию или прикладной программе. Операции обработки включают в себя выбор маршрута отправки, сборку или разбиение пакета на части, кодирование и декодирование, управление качеством обслуживания и многое другое. При постоянно возрастающих скоростях передачи данных количество обрабатываемых в секунду пакетов может достигать десятков миллионов. При столь высоких требованиях к пропускной способности оборудования всю обработку невозможно реализовать только программно. Принципиально необходимой становится аппаратная поддержка.

При создании современных маршрутизаторов повсеместно используются специализированные сетевые процессоры, объединяющие в себе производительность и быстродействие аппаратных решений и гибкость программируемых устройств. Сетевой процессор – это программируемый процессор, архитектура которого оптимизирована на использование в сетевых устройствах и обеспечение устойчивого режима обработки пакетов в режиме реального времени.

Основными структурными элементами типичного сетевого процессора является управляющий центральный процессор и блок из нескольких специализированных пакетных процессоров. Центральный процессор обычно представляет собой RISC-процессор общего назначения, использующий оперативную память для хранения данных и команд и интерфейс высокоскоростной шины передачи данных. Центральный процессор ведет таблицы маршрутизации и качества обслуживания, управляет работой всех блоков сетевого процессора и исполняет программное обеспечение, предназначенное для него. Пакетные процессоры

служат для выполнения критически важных задач обработки пакетов данных и представляют собой специализированные интегральные схемы (ASIC), заточенные под выполнение однотипных несложных действий (поиск адреса в таблице маршрутизации, определение порядка обработки пакетов, определение типа и отправка пакетов). Каждый пакетный процессор является жестко специализированной аппаратно-реализованной интегральной микросхемой, оптимизированной для выполнения конкретных задач. При этом применение нескольких блоков параллельной или конвейерной обработки позволяет значительно увеличить быстродействие сетевого процессора, позволяя ему обрабатывать данный на скорости их передачи (в режиме реального времени).

Аппаратное быстродействие пакетных процессоров в совокупности с программируемостью и гибкостью управляющего центрального процессора позволяет создать универсальный сетевой процессор, применимый при разработке масштабируемых высокопроизводительных систем передачи данных. Такой подход к проектированию сетевых процессоров является результатом стремительного развития сетевого оборудования под влиянием постоянно растущих требований к быстродействию и надежности последнего.

За последние 40 лет развития сетевых систем подход к их проектированию резко менялся несколько раз. В целом архитектуры компьютерных сетей можно разделить на три поколения.

Сетевые устройства первого поколения (около 1975–1980 гг.) представляли собой универсальные компьютеры, выполняющие программную обработку сетевых пакетов на стандартном процессоре (например, IP-маршрутизаторы строились путем добавления программного обеспечения, реализующего IP-протокол, для стандартного миникомпьютера). Персональные компьютеры использовались и как сетевые клиенты, и как сетевые серверы. Поначалу, когда компьютерные сети были медленными, такой подход обеспечивал требуемое быстродействие, но с ростом пропускной способности сетей он стал давать сбои – производительности центральных процессоров стало не хватить.

Второе поколение (1990–1995 гг.) было ознаменовано широким внедрением в сетевое оборудование заказных микросхем (ASIC) Классификации пакетов, высокоскоростная передача и некоторые другие функций обработки пакетов реализовывались на аппаратных средствах специального назначения, что позволило разгрузить универсальный процессор. Пусть большинство функций сетевой обработки всё еще выполнялось на центральном процессоре, применение быстродействующих аппаратных решений для задач простой однотипной обработки пакетов позволило добиться значительного прогресса в увеличении производительности и скорости передачи данных по сети. Связано это прежде всего с тем, что специализированная микросхема (ASIC) может обрабатывать пакеты на «скорости передачи», пересылая столько же бит в секунду, сколько передается по сети. Особенностью ASIC является то, что команды обработки, которые она выполняет, жестко заложены в микросхему, то есть она сконфигурирована только определенным образом. За быстродействие приходилось платить гибкостью разрабатываемых схем. Одна ASIC-схема может быть настроена на выполнение большого количества различных функций обработки, но создание и отладка этой микросхемы стоит довольно дорого и требует значительного времени – около двух лет. Специализированные заказные микросхемы, хоть и можно было конфигурировать, но невозможно было перепрограммировать, что лишало их гибкости обычных процессоров, изменения в которых легко производились на уровне программного обеспечения. Однако, сетевые технологии быстро развивались, стремительно сменяя друг друга, постоянно требуя создания сетевых устройств, способных предложить новые функции обработки пакетов на высокой скорости.

Переход к третьему поколению сетевых устройств (конец 1990-х) связан с переходом на полностью распределенную децентрализованную архитектуру. Она включала применение специализированных микросхем для проблемных участков обработки, универсальный процессор и выделенные процессоры для каждого сетевого интерфейса. Данное поколение устройств существенно ускорило обработку данных.

Объединение программируемости систем первого поколения и высокоскоростных систем третьего поколения привело к появлению нового класса продуктов, называемых сетевыми процессорами. Они представляют собой нечто среднее между заказными специализированными ASIC-микросхемами и процессорами общего назначения. С одной стороны, сетевые процессоры оптимизированы для решения сетевых задач, но с другой стороны они могут программироваться как обычные центральные процессоры. Появление данной архитектуры создало почву для резкого роста интереса к данному типу устройств, что в свою очередь привело к еще большему ускорению темпов развития рынка сетевого оборудования. Производители уже не могли тратить несколько лет на разработку специализированных микросхем, направленных на реализацию каких-либо функций, ведь за это время рынок мог уйти в другом направлении. Время на разработку нового оборудования сокращалось до нескольких месяцев. Разработка же сетевых процессоров не требовала столь значительных временных затрат.

Как было сказано ранее, сетевые процессоры способны обрабатывать пакеты со скоростью ASIC-микросхем, а управлять ими можно с помощью программного обеспечения, загружаемого в управляющий процессор. А программное обеспечение может довольно просто меняться, причем, будучи разработанной компанией-производителем для собственного сетевого оборудования, оно может быть загружено и в сетевые процессоры, созданные другими независимыми компаниями. Кроме того, последующие поколения процессоров могут быть созданы с той же самой программной архитектурой, что позволяет системному производителю использовать одну и ту же архитектуру и программное обеспечение для создания новых продуктов в течение многих лет.

Особенно выгодным стало использование сетевых процессоров в системах, содержащих множество сетевых интерфейсов с огромными потоками данных, обрабатываемых мультипроцессорными устройствами.

При создании сетевых процессоров достаточной производительности необходимо тщательно анализировать задачи обработки пакетов, проводить оценки

их временной и емкостной сложности. К базовым архитектурным решениям, которые позволяют повысить производительность сетевых процессоров, относятся: повышение тактовой частоты однопоточных процессоров, распараллеливание потоков пакетов, конвейерная обработка пакетов. Причем, возможности роста производительности первой архитектуры на сегодня практически исчерпаны. Особенностью применения параллельной архитектуры является решения задачи по реализации эффективного аппаратного механизма управления входной очередью пакетов. При реализации конвейерной архитектуры поток данных, требующий обработки, перемещается по линии функциональных блоков, выполняющих строго определенные функции обработки пакета. На сегодняшний день широкое распространение получила комбинированная конвейерно-параллельная или параллельно-конвейерная архитектура.

Следующим этапом развития сетевых процессов является создание устройств с реконфигурируемой архитектурой на базе ПЛИС (программируемых логических интегральных схем). Использование ПЛИС позволит получить очень гибкий сетевой процессор, обладающий перестраиваемой (полностью или частично) архитектурой, в зависимости от конкретной задачи обработки пакетов или применения сетевого процессора в целом. При этом возможность смены прошивки ПЛИС позволяет быстро и беспрепятственно менять внутреннюю структуру процессора и не требует разработки и внедрения в систему нового устройства. Выпустить усовершенствованную прошивку для ПЛИС куда проще и дешевле, чем выпускать новое готовое устройство.

Появление сетевых процессоров является результатом постоянно растущих и меняющихся требований к сетевому оборудованию, применяемому при создании высокоскоростных систем передачи и обработки данных. Они сочетают в себе быстродействие аппаратно реализованных специализированных пакетных процессоров и гибкость программируемых универсальных процессоров. Применение сетевых процессоров позволяет строить быстрые системы обработки и передачи информации. Особенно привлекательным направлением дальнейшего

развития технологии сетевых процессоров является создания устройств с реконфигурируемой архитектурой на базе программируемых логических интегральных схем.

Список литературы

1. Пройдаков Э.М. Сетевые процессоры / Э.М. Пройдаков [Электронный ресурс]. – Режим доступа: <http://www.computer-museum.ru/technlgy/netproc.htm>
2. Грищенко В.И. Основные направления развития современных сетевых процессоров / И.И. Грищенко, Д.Д. Моргайлов, Ю.В. Ладыженский, М. Юнис. – Донецк, 2011. – С. 123–127.
3. Keslassy I. Providing Performance Guarantees in Multipass Network Processors / I. Keslassy, K. Kogan, G. Scalosub, M. Segal // IEEE/ACM Transactions on Networking. – 2012.