

Воробьев Константин Сергеевич

аспирант

Слободин Руслан Сергеевич

аспирант

ФГБОУ ВО «Юго-Западный государственный университет»

г. Курск, Курская область

DOI 10.21661/r-118809

ОБЗОР ФУНКЦИОНАЛЬНЫХ ВОЗМОЖНОСТЕЙ СЕТЕВЫХ ПРОЦЕССОРОВ НА БАЗЕ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ (ПЛИС)

***Аннотация:** в статье указываются причины использования сетевых процессоров и их обобщенная структура. Авторами рассматриваются основные функциональные возможности сетевых процессоров на базе ПЛИС.*

***Ключевые слова:** компьютер, процессор, компьютерные сети, сетевая карта, сетевой процессор, сетевое оборудование, специализированная микросхема, архитектура системы, ПЛИС, программируемая интегральная схема.*

Доступ к компьютерным сетям невозможен без использования сетевых карт (NIC – англ. network interface controller/card). Обычно данные поступают на сетевую карту в виде необработанных Ethernet-пакетов. Затем карта пересылает данные в ядро операционной системы (ОС), где происходит проверка контрольной суммы и дальнейшая обработка пакета. Для получения информации о поступивших пакетах ОС использует прерывание, а для передачи данных в пользовательское пространство внедряется еще один дополнительный уровень – сокет. Помимо этого, ядро ОС может быть занято обработкой других задач, что, в общем, неблагоприятно сказывается на времени обработки сетевых пакетов.

На небольших скоростях (до 1 Гбит/с) сетевые карты обычно встраиваются в материнские платы компьютеров, и операционная система обычно справляется с обработкой потока данных, но при увеличении скорости потока (10/40/100 Гбит/с) такой подход не сможет обеспечить необходимой производительности.

Дело в том, что при таком подходе обработка сетевого трафика занимает значительную часть времени центрального процессора (CPU), не позволяя ему эффективно выполнять остальные задачи. Наиболее эффективным методом уменьшения временных задержек на обработку является обход ядра ОС и аппаратная обработка поступающих пакетов данных. Для этого используются сетевые карты, архитектура которых направлена на обеспечение устойчивого режима обработки данных в режиме реального времени. Чаще всего они представляют собой отдельную PCIe-плату, основным ядром которой становится специализированная интегральная схема (ASIC), оптимизированная для выполнения конкретных задач. Именно она занимается приемом/отправкой пакетов на самом низком уровне. Если же возможностей сетевой карты оказывается недостаточно, или задача требует более близкого доступа к низкому уровню, то на помощь приходят сетевые процессоры. Основными структурными элементами типичного сетевого процессора является управляющий центральный процессор и блок из нескольких специализированных пакетных процессоров, представляющих собой интегральные схемы (ASIC), заточенные под выполнение однотипных несложных действий (поиск адреса в таблице маршрутизации, определение порядка обработки пакетов, определение типа и отправка пакетов). Наиболее гибкими и многофункциональными являются сетевые процессоры с реконфигурируемой архитектурой на базе ПЛИС (программируемых логических интегральных схем). Рассмотрим наиболее часто используемые функциональные возможности таких устройств.

Реализация TCP и UDP стеков на ПЛИС позволяет перенести всю низкоуровневую обработку (установка соединения, разбиение изначальных данных на пакеты, формирование заголовков (MAC/IP-адреса), расчет контрольных сумм IP и TCP, переотправка потерянных пакетов). CPU остается передать в сетевой процессор указатель на данные, требующие обработки, и IP-адрес и порт получателя. Сетевые процессоры с ПЛИС можно использовать в качестве обычных сетевых карт, но чаще к ним прибегают, когда появляется необходимость какой-либо дополнительной обработки, которую невозможно выполнить на обычном

оборудовании. Например, аппаратное шифрование по выбранному алгоритму, фильтрация, захват и анализ трафика.

Сетевой процессор может отслеживать всё проходящие через него пакеты. Это позволяет реализовать DPI (Deep Packet Inspection – технология накопления статистических данных, проверки и фильтрации сетевых пакетов по их содержанию) на базе процессора, а переброску и фильтрацию потоков перенести на ПЛИС. Например, процессор обрабатывает только те пакеты, которые ПЛИС отбирает по заранее установленным правилам (например, HTTP-запросы), а остальные пакеты проходят без значительной задержки. Также ПЛИС может разгружать CPU, занимаясь поиском подозрительных сигнатур у себя, определяя пакеты, которые затем копируются на центральный процессор для проведения дополнительного анализа. ПЛИС может пропускать через себя доверенные потоки с минимальной задержкой, копируя остальные для обработки на CPU. Все представленные выше варианты могут комбинироваться в различных вариациях, в зависимости от поставленных задач. Помимо этого, такой сетевой процессор может собирать статистику по потокам и выступать в качестве шейпера – ограничителя пропускной способности канала для отдельного узла сети ниже технических возможностей канала до узла.

Иногда сетевые процессоры используются для захвата трафика и дальнейшей его обработке на центральном процессоре (например, для анализа задержек). Тогда от ПЛИС требуется фильтровать сетевые пакеты по полям, чтобы отбирать только те, что интересны для дополнительной постобработки. Проводить синхронизацию по протоколу RTP, осуществляя аппаратный timestamping (дословно с англ. – «печать/отметка времени») пакетов – добавление в конец пакета метки времени, показывающей, когда пришел пакет, чтобы CPU смог посчитать время отклика на запрос. Кроме того, ПЛИС может распределять пакеты по очередям и ядрам CPU, а также буферизировать трафик во внешней памяти, если центральный процессор не успевает его обрабатывать. Получив с помощью

ПЛИС доступ практически к самому низкому уровню передачи, можно реализовать любой необходимый протокол, не дожидаясь, пока этого сделают ведущие производители сетевого оборудования.

Сетевые процессоры с реконфигурируемой архитектурой на базе ПЛИС являются новейшим этапом развития сетевых технологий. Использование ПЛИС позволяет получить очень гибкий сетевой процессор, обладающий богатым функционалом. Главное его достоинство – перестраиваемая (полностью или частично) архитектура, позволяющая подстраивать устройство под конкретную задачу, оптимизируя тем самым временные издержки обработки сетевого трафика. На данный момент именно создание устройств с реконфигурируемой архитектурой на базе программируемых логических интегральных схем выглядит наиболее привлекательным направлением дальнейшего развития технологии сетевых процессоров.

Список литературы

1. Keslassy I. Providing Performance Guarantees in Multipass Network Processors / I. Keslassy, K. Kogan, G. Scalosub, M. Segal // IEEE/ACM Transactions on Networking. – 2012.
2. Larsen S. Architectural Breakdown of End-to-End Latency in a TCP/IP Network/ S. Larsen, P. Sarangam // International Journal of Parallel Programming, Springer. – 2009.
3. Жуков И.Ю. Использование soft-процессоров на основе технологии FPGA для создания доверенной аппаратной платформы/ И.Ю. Жуков, Д.Л. Ефанов, В.Б. Леонов, К.Г. Григорьев // Спецтехника и связь. – 2014.
4. Пройдаков Э.М. Сетевые процессоры [Электронный ресурс]. – Режим доступа: <http://www.computer-museum.ru/technlgy/netproc.htm>