

Янченко Роман Александрович

исследователь научной мысли

Яничкин Александр Сергеевич

исследователь научной мысли

Владимиров Никита Сергеевич

исследователь научной мысли

г. Москва

ПУЛЬТ АВТОМАТИЗИРОВАННОЙ ПРОВЕРКИ ЯЧЕЙКИ ОБРАБОТКИ ВИДЕОИНФОРМАЦИИ

***Аннотация:** в статье описывается процесс разработки пульта автоматизированной проверки ячейки обработки видеoinформации. Авторами обосновывается необходимость создания данного пульта.*

***Ключевые слова:** ДЗЗ, ФПЗС, ПЛИС, ячейка ТОС, блок ОЭП, ПЗС-процессор, тестирование, Verilog, тестирование АЦП.*

Космические аппараты дистанционного зондирования Земли позволяют обеспечить наблюдение поверхности нашей планеты. Система приема и преобразования информации (СППИ), входящая в состав систем ДЗЗ состоит из нескольких блоков, один из них блок оптико-электронного преобразователя (ОЭП). В его функции входит преобразование оптического сигнала в цифровой, и передача его в запоминающее устройство. Непосредственное преобразование в цифровой сигнал происходит в тракте обработки сигналов (ТОС).

Одним из наиболее трудоемких процессов при производстве блока ОЭП является регулировка и тестирование ячеек, в том числе и ячейки ТОС. Таким образом, мною была поставлена задача: упростить процесс тестирования и отладки этой ячейки, а именно: разработать пульт автоматизированной проверки ячейки обработки видеoinформации.

Блок ОЭП – блок электронной аппаратуры, состоящий из ячеек и плат нескольких типов. Функционально ОЭП состоит из: подсистемы приема изображе-

ния, подсистемы сжатия видеоинформации и подсистемы управления. Он предназначен для приема движущегося изображения, сформированного на фоточувствительных элементах, преобразования изображения в цифровой код, упаковки и передачи информации через линии связи в блоки сжатия.

Работа блока происходит следующим образом. Оптическая информация проецируется на фоточувствительные области ФПЗС. В ФПЗС оптический сигнал преобразуется в электрический и поступает на выходы [1]. Затем оптический сигнал поступает в ТОС, а именно на микросхему сигнального ПЗС-процессора. Оцифрованный сигнал передается в ПЛИС ячейки ТОС, где осуществляется кодирование, добавление служебной информации и упаковка.

Одной из составляющих блока ОЭП является ячейка ТОС, состоящая из ПЛИС и микросхем ПЗС-процессоров, преобразующих аналоговые видеосигналы, поступающие с выходов регистров ФПЗС матриц, в двенадцатиразрядные двоичные цифровые коды.

ТОС представляет собой сложное устройство с множеством разных элементов с разным назначением, и ее проверка является одним из важнейших этапов. Из-за сложности ячейки, ее проверка должна быть как можно более автоматизированной для сокращения времени регулировки. Поэтому для ячеек ТОС необходимо создавать пульта проверки для нахождения неисправностей в ячейке. Рассмотрим подробнее структуру рабочего места для автоматизированной проверки ячейки обработки видеоинформации.

В состав рабочего места, изображенного на рисунке 1 входят: Проверяемая ячейка ТОС; плата ЦАП, являющаяся имитатором ФПЗС; ячейка коммутации, отвечающая за управление; источник питания; программатор, по которому будет конфигурироваться ПЛИС; ПЭВМ, на котором отображается тестовый сигнал; осциллограф и мультиметр.

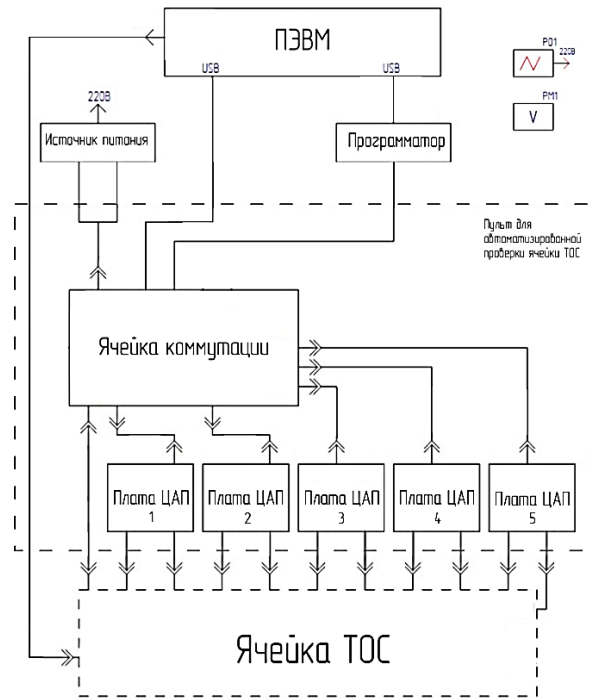


Рис. 1. Структура рабочего места проверки ячейки ТОС

При разработке структуры рабочего места, особое внимание уделяется пульту для автоматизированной проверки ячейки ТОС. В состав пульта входит ячейка коммутации, представляющая собой ПЛИС и плата ЦАП. Плата ЦАП имитирует ФПЗС. Она состоит из ЦАП, линейного стабилизатора, операционных усилителей. Предназначена для подачи аналогового сигнала в ячейку ТОС, а именно на ПЗС-процессор.

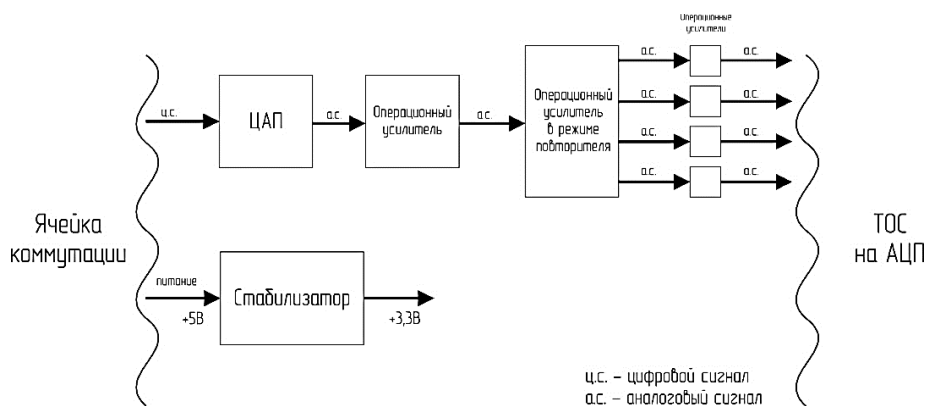


Рис. 2. Структурная схема платы ЦАП

В качестве основного вычислительного ядра используется ПЛИС как в ячейке коммутации, так и в ячейке ТОС.

В связи с тем, что данный пульт находится на стадии разработки, то было принято решение разрабатывать Verilog-описания в общедоступных САПР. Таким САПР является Xilinx Vivado HLS. Основная цель выбора ПЛИС ячейки коммутации – низкая стоимость. Главным требованием, которое предъявляется к ПЛИС, является количество контактов.

Основные требования, которые предъявляются к ПЛИС ячейки ТОС – это память и количество контактов доступных для пользования. Чем выше частота, тем лучше. Главной функцией данной ПЛИС является управление ПЗС-процессором, а именно генерация сигналов синхроимпульса, выбора рабочего элемента.

Для работы ячейки ТОС требуется частота следования пикселей около 20 МГц. Скорость движения изображения – 120 мм/с, размер пикселя ФПЗС – 0,009 мм. Из этого получаем период одной строки равный 75 мкс. Отсюда следует, что 71 нс – максимальный период пикселя, значит минимальная частота работы – 14 МГц без учета межстрочных интервалов, а с их учетом – 20 МГц. поэтому подбирается процессор с параллельным выходом с частотой до 25 МГц. ПЗС-процессор имеет одноканальную архитектуру, предназначенную для выборки и обработки выходных сигналов ПЗС-матриц с чередованием и прогрессивной разверткой. Также он предлагает 12-разрядное разрешение АЦП.

Для реализации процесса проверки необходимо разработать проекты ПЛИС для ячейки коммутации и ячейки ТОС. При выполнении данной работы необходимо учесть протоколы информационного обмена для ячейки ТОС внутри блока ОЭП. Проект ПЛИС ячейки коммутации должен имитировать все остальные ячейки блока ОЭП (в том числе ФПЗС).

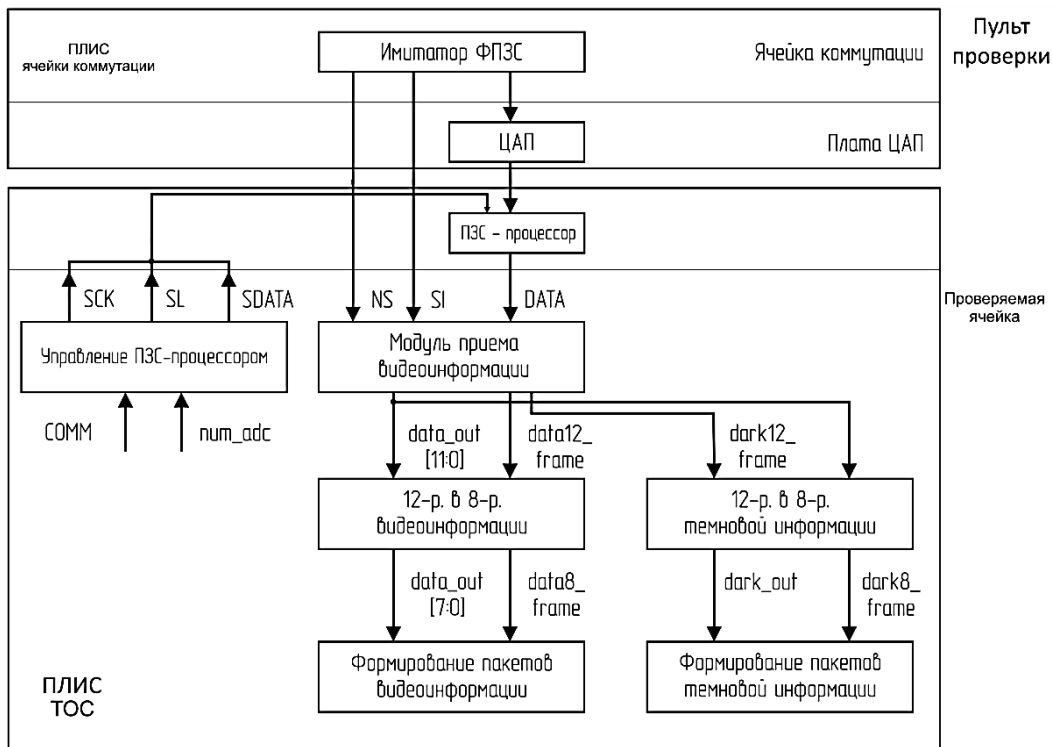


Рис. 3. Структурная схема проекта

Были разработаны Verilog-описания следующих модулей:

- управления ПЗС-процессора;
- имитации ФПЗС;
- приема видеoinформации;
- преобразования видеoinформации.

Также была проведена верификация разработанных модулей с помощью временных диаграмм.

Для проверки ПЗС-процессора подается цифровой пилообразный сигнал. Этот сигнал будет преобразовываться в аналоговый и затем поступать на вход ПЗС-процессора. После того как АЦП преобразует сигнал в цифровой, он поступает на ПЭВМ, где показывается изображение этого сигнала. С помощью этого изображения и выявляются разного рода неисправности, которые были описаны выше. Пилообразный сигнал имеет диапазон от 0 до 4096 (так как АЦП имеет 12 разрядов $2^{12} = 4096$). Шаг – 9. Пилообразный сигнал позволяет проверить каждый разряд ПЗС-процессора.

Далее приведен алгоритм проверки ячейки обработки видеoinформации, изображенный на рисунке 4.

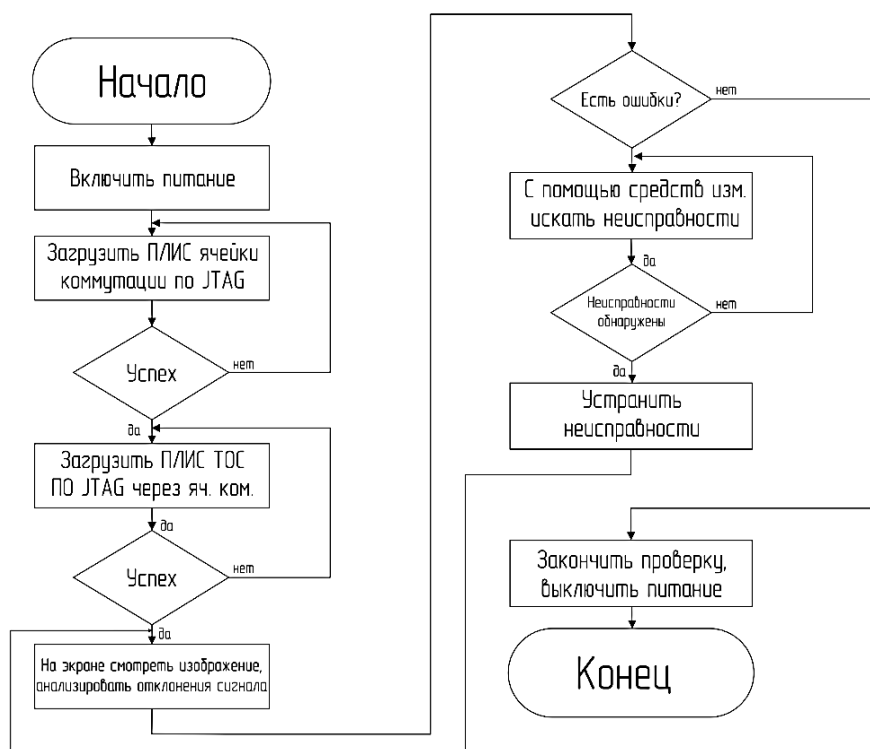


Рис. 4. Алгоритм проверки ячейки обработки видеoinформации

Список литературы

1. Топильский В.Б. Схемотехника измерительных устройств. – М., 2010. – 240 с.
2. Харрис Д. Цифровая схемотехника и архитектура компьютера / Д. Харрис, С. Харрис. – М.: ДМК-Пресс, 2013. – 451 с.
3. Беклемишев Д.Н. Микропроцессорные средства и системы: Курс лекций / Д.Н. Беклемишев, А.Н. Орлов, А.Л. Переверзев [и др.]; под ред. Ю.В. Савченко. – М.: МИЭТ, 2013. – 291 с.
4. Беклемишев Д.Н. Моделирование микропроцессорных систем на базе программируемых логических интегральных схем с использованием Verilog HDL и САПР Quartus II / Д.Н. Беклемишев, А.Н. Орлов, М.Г. Попов [и др.]. – М.: МИЭТ, 2014. – 100 с.